

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 60078433 A

(43) Date of publication of application: 07 . 06 . 85

(51) Int. Cl.

G08F 9/44

(21) Application number: 58188208

(71) Applicant: NEC CORP

(22) Date of filing: 07 . 10 . 83

(72) Inventor: TORII YOSHIMARU

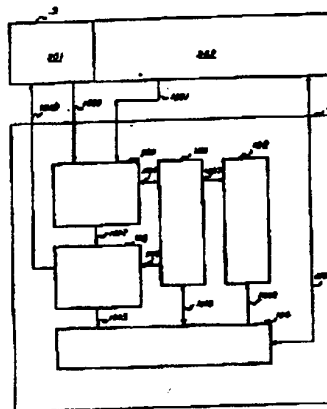
(54) PROGRAM PROCESSOR

COPYRIGHT: (C)1985,JPO&Japio

(57) Abstract:

PURPOSE: To speed up processing by detecting simulation instructions in a program area in a storage area, executing corresponding instructions in a hardware area, and suppressing interrupting mechanism during the execution period.

CONSTITUTION: A storage device 2 is divided into a hardware area 201 and a program area 202, and a program processor 1 is provided with an instruction fetching circuit 100, address converting circuit 103, executing circuit 104, mode control circuit 101, and interruption control circuit 102. When a special instruction in the area 202 during a program run is detected by a decoding circuit 305, the circuit 101 which is informed of the detection generates and reports a program address in the area 201 to be simulated to the circuit 103, and sets a mode flip-flop (FF) to inform the circuit 102 of that; and the completion of the instruction is detected by the circuit 104 and reported to the circuit 101 to reset the FF.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-79433

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)5月7日

G 06 F 3/44

7361-5B

審査請求 有 発明の数 1 (全3頁)

⑮ 発明の名称 プログラム処理装置

⑯ 特 願 昭58-188208

⑰ 出 願 昭58(1983)10月7日

⑱ 発 明 者 鳥 居 良 春 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

プログラム処理装置

2. 特許請求の範囲

命令を記憶領域から順次とり出して実行するプログラム処理装置において、

記憶領域をプログラム領域とハードウェア領域とに分割し、プログラム領域に存在するシミュレーション命令を検出する検出手段と、

この検出手段によるシミュレーション命令検出に応じて、そのシミュレーション命令に対応したハードウェア領域の命令群のアドレスを与える手段と、

前記ハードウェア領域の命令群を実行中であることを示す状態を保持する保持手段と、

この保持手段の状態に従って記憶領域に対するアクセスを、ハードウェア領域とプログラム領域とに切り換える手段と、

前記ハードウェア領域の命令群実行中に割込み機構を抑止する抑止手段とを含むことを特徴とするプログラム処理装置。

3. 発明の詳細な説明

発明の属する技術分野

本発明は、データ処理装置における特殊命令のシミュレーション動作の処理を行なうプログラム処理装置に関する。

従来技術

従来、この種のデータ処理装置における、プログラム処理方式では、特殊命令をシミュレーションする場合、特殊命令を認識した時点で一般の割込み機構を介して例えば、システム・プログラムの制御下で、特殊命令をシミュレートした後、特殊命令の次のステップへ戻すという方式がとられている。従って、上記のように特殊命令のシミュレーションに割込み機構を用いるために、実行時間が多くかかるという欠点がある。

発明の目的

本発明の目的は上記欠点を解決し、高速に命令のシミュレーションをできるようにしたプログラム処理装置を提供することにある。

発明の構成

本発明の装置は、命令を記憶領域から順次とり出して実行するプログラム処理装置において、

記憶領域をプログラム領域とハードウェア領域に分割しプログラム領域に存在するシミュレーション命令を検出する検出手段と、

この検出手段によるシミュレーション命令検出に回答してそのシミュレーション命令に対応したハードウェア領域の命令群のアドレスを与える手段と、

前記ハードウェア領域の命令群を実行中であることを示す状態を保持する保持手段と、

この保持手段の状態に従って記憶領域に対するアクセスをハードウェア領域とプログラム領域とに切替える手段と、

前記ハードウェア領域の命令群実行中に制込み

備えている。

今、プログラム領域202の一般プログラムが走行していたとする。命令とり出し回路100は、命令アドレスをアドレス変換回路103に送り、順次命令をとり出していく。この命令のなかに特殊命令が存在した時、第3図に示す、命令のデコード回路305が、その命令を検出しモード制御回路101に信号線1004を介して通知する。通知を受けたモード制御回路101は、特殊命令をシミュレートするハードウェア領域のプログラムのアドレスを作成し第3図に示す信号線3001に送出するとともに、モードフリップ・フロップ302をセットして、アドレス変換回路に、先の信号線3001を介して送出したアドレスから命令をとり出すように信号線3002を介して指示を与える。第2図では、信号線3001、および3002は、まとめて、信号線1005により示している。ハードウェア領域の命令によるシミュレーションの終了は、実行回路104により検出され信号線1006を介してモード制御回路101に通知される。こ

機構を抑止する抑止手段とを含む。

発明の実施例

次に本発明について図面を参照して詳細に説明する。

第1図を参照すると、メモリ領域は、ハードウェア領域とプログラム領域とに区分されている。本実施例においては、一般のプログラムはプログラム領域のなかで実行されている。

しかし、プログラム実行中にシミュレーションを必要とする特殊命令を検出した場合には、第2図に示す機構により、ハードウェア領域に存在する命令群を実行することを可能にし、割込機構を介することなく、プログラムを実行することができる。この様子を、第2図を参照しながら説明する。第2図を参照すると、本発明の実施例であるプログラム処理装置1は記憶装置2と信号線1000、1001、1009、1010で接続されている。また、プログラム処理装置1は、命令とり出し回路100、アドレス変換回路103、実行回路104、モード制御回路101、および割込制御回路102を

の通知によりモード・フリップ・フロップ302をリセットして、特殊命令のシミュレーションを終了する。また、特殊命令実行中のハードウェア領域の命令の実行は、あたかも特殊命令1つが実行されているように見える必要がある(つまりハードウェア領域の命令の切れ目が見えてはいけぬ)。従って、信号線1007を介してモードフリップ・フロップ302が"オン"の間は、割込を発生しないよう割込制御回路102に通知し、割込機構を抑止している。この様子は第3図においてモードフリップ・フロップ302の出力で要込要因をケード306で抑止することにより実現し得る。本実施例ではモードフリップ・フロップを考えているが、他の手段により切り換えることも可能である。

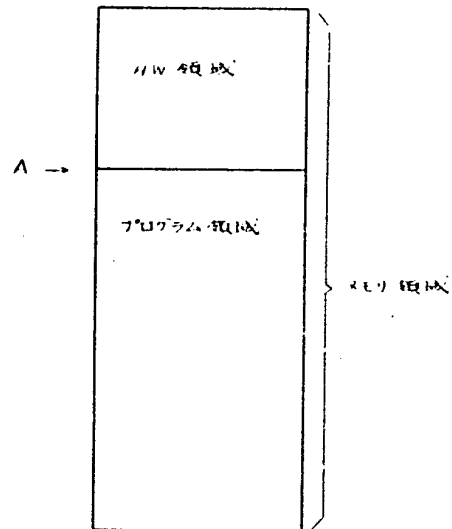
本発明には、シミュレーション命令を検出しその処理をプログラム領域のプログラムからハードウェア領域の命令群に移すことを可能なように構成することにより、プログラムのオーバーヘッドを軽減できるという効果がある。

4. 図面の簡単な説明

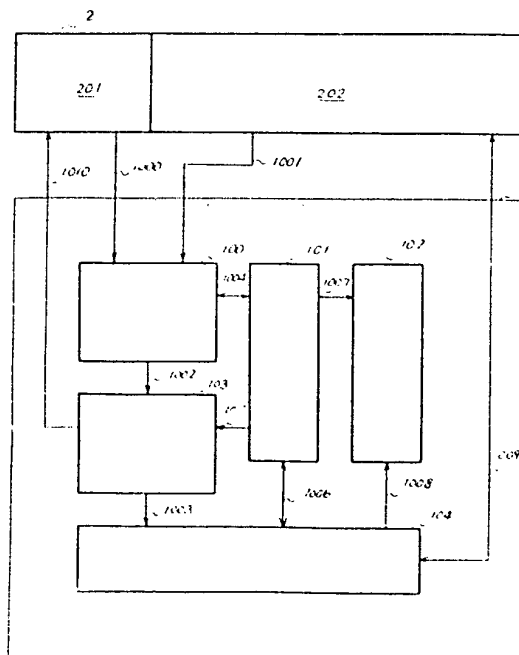
第1図は、メモリ領域の分割を示す図、第2図は、本発明の一実施例を示す図、および第3図は、本発明の一実施例を部分的に示す図である。

第1図から第3図において、1……データ処理装置、2……記憶装置、100……命令とり出し回路、101……モード制御回路、102……割込制御回路、103……アドレス変換回路、104……実行回路、302、303……フリップ・フロップ。

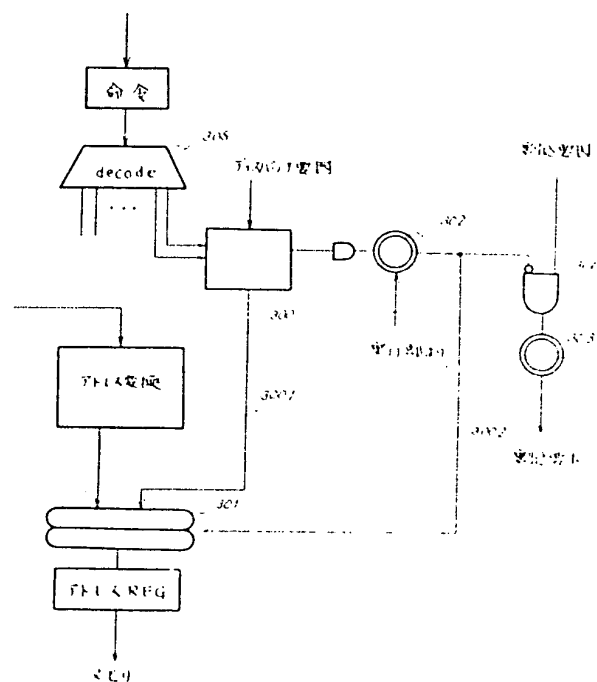
代理人 弁理士 内 原 哲



第 1 図



第 2 図



第 3 図